

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of  
Inventor(s): Yasuhiro ENOMOTO

Appln. No.:	Not	Assigned
Series Code	↑	↑ Serial No.

Group Art Unit: Not Assigned

Filed: April 21, 2004

Examiner: Not Assigned

Title: STORAGE DEVICE

Atty. Dkt.	P 0309396	H8156US
	M#	Client Ref

Date: April 21, 2004

**SUBMISSION OF PRIORITY  
DOCUMENT IN ACCORDANCE  
WITH THE REQUIREMENTS OF RULE 55**

Hon. Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2003-125361	Japan	April 30, 2003

Respectfully submitted,

Pillsbury Winthrop LLP  
Intellectual Property Group

725 South Figueroa Street, Suite  
2800  
Los Angeles, CA 90017-5406  
Tel: (213) 488-7100

By Atty: Roger R. Wise

Reg. No. 31204

Sig: 

Fax: (213) 629-1033  
Tel: (213) 488-7584

Atty/Sec: RRW/JES

OSP 15674 ~ 15675 ✓  
OS 15674 / 1



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 3 0 日  
Date of Application:

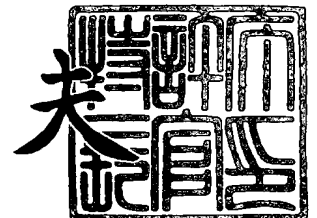
出 願 番 号                      特 願 2 0 0 3 - 1 2 5 3 6 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 2 5 3 6 1 ]

出      願      人                      ヤマハ株式会社  
Applicant(s):

2 0 0 4 年    2 月    3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 5 4 7 4

【書類名】 特許願

【整理番号】 J98058A1

【提出日】 平成15年 4月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/00

【発明の名称】 記憶装置

【請求項の数】 7

【発明者】

    【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内

    【氏名】 榎本 保宏

【特許出願人】

    【識別番号】 000004075

    【氏名又は名称】 ヤマハ株式会社

【代理人】

    【識別番号】 100064908

    【弁理士】

    【氏名又は名称】 志賀 正武

【選任した代理人】

    【識別番号】 100089037

    【弁理士】

    【氏名又は名称】 渡邊 隆

【手数料の表示】

    【予納台帳番号】 008707

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001626

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置

【特許請求の範囲】

【請求項 1】 第 1 のデータが共通に与えられ、前記第 1 のデータ所定個数分のデータ幅に対応して設けられた複数の記憶領域を有する記憶手段と、

前記第 1 のデータの連続数を表す第 2 のデータを入力し、該第 2 のデータに基づき、前記複数の記憶領域の中から前記第 1 のデータが記憶されるべき 1 又は 2 以上の記憶領域を同時的に選択する記憶領域選択手段と、

を備えたことを特徴とする記憶装置。

【請求項 2】 前記記憶領域選択手段が、

前記第 1 のデータを記憶すべき領域の始点を与える第 1 のアドレスを格納する第 1 のレジスタと、

前記第 1 のレジスタに格納された第 1 のアドレスに前記第 2 のデータの値を加算する加算器と、

前記第 1 のデータを記憶すべき領域の終点を与える第 2 のアドレスとして前記加算器の加算結果を格納すると共に該加算結果を前記第 1 のレジスタに与える第 2 のレジスタと、

前記第 1 および第 2 のレジスタの内容に基づき前記複数の記憶領域を書き込み可能な状態に選択的に制御する制御部と、

を備えたことを特徴とする請求項 1 に記載された記憶装置。

【請求項 3】 前記制御部が、

前記データ幅に対応した単位領域と前記第 1 および第 2 のアドレスとの関係に基づき、書き込み可能な状態に制御すべき記憶領域を選択することを特徴とする請求項 2 に記載された記憶装置。

【請求項 4】 前記制御部が、

前記第 1 および第 2 のアドレスが、前記単位領域のうち、現在書き込みの対象となっている単位領域の内部を指定するものである場合、前記複数の記憶領域のうち、前記第 1 のアドレスから第 2 のアドレスまでの各アドレスで指定される記憶領域を同時的に選択することを特徴とする請求項 3 に記載された記憶装置。

**【請求項 5】** 前記制御部が、

前記第 1 のアドレスが、前記単位領域のうちの現在書き込みの対象となっている単位領域の内部を指定するものであり、且つ、前記第 2 のアドレスが、前記現在書き込みの対象となっている単位領域の外部を指定するものである場合、前記複数の記憶領域のうち、前記第 1 のアドレス以降の各アドレスで指定される記憶領域を同時的に選択することを特徴とする請求項 3 に記載された記憶装置。

**【請求項 6】** 前記制御部が、

前記第 1 および第 2 のアドレスが、前記単位領域のうちの現在書き込みの対象となっている領域の外部を指定するものである場合、前記複数の記憶領域の全てを同時的に選択することを特徴とする請求項 3 に記載された記憶装置。

**【請求項 7】** 前記制御部が、

前記第 1 のアドレスが、前記単位領域のうちの現在書き込みの対象となっている単位領域の外部を指定するものであり、且つ、前記第 2 のアドレスが、前記現在書き込みの対象となっている単位領域の内部を指定するものである場合、前記複数の記憶領域のうち、前記第 2 のアドレス以前の各アドレスで指定される記憶領域を同時的に選択することを特徴とする請求項 3 に記載された記憶装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、記憶装置に関し、特に、記憶すべき値とその値が連続する個数とが既知のデータに対する記憶動作の高速化技術に関する。

**【0002】****【従来の技術】**

従来、ファクシミリ等においては、画像をスキャンすることにより、白または黒の画素を表現する 2 値データからなるシリアルデータを生成しており、このシリアルデータを伝送する場合、ランレングス符号化によりシリアルデータを圧縮している。一方、この種のシリアルデータを記憶するための記憶装置として、パラレルデータに展開して記憶するものがある（特許文献 1 参照）。この従来技術によれば、シリアルデータに含まれる各データが順次的に入力されて別々のメモ

リアレイに書き込まれるが、最後に入力されるデータを記憶するメモリアレイの書き込み動作が、それよりも前に入力されるデータを記憶するメモリアレイよりも高速化されている。これにより、データセットアップ時間を短縮し、全体として書き込み動作を高速化している。

#### 【0003】

##### 【特許文献1】

特開平11-328948号公報（段落番号0012、図2）

#### 【0004】

##### 【発明が解決しようとする課題】

しかしながら、上述の従来技術によれば、シリアルデータに含まれる各データを個々にラッチしてメモリアレイに個別的に書き込むため、同じ値のデータが連続する場合であっても、各データを個々にラッチして同様の書き込み動作を繰り返す必要がある。従って、ランレングスの大きなシリアルデータを記憶する場合、その書き込み動作を有効に高速化することができないという問題がある。

この発明は、上記事情に鑑みてなされたもので、ランレングス符号化されたシリアルデータの書き込み動作を高速化することが可能な記憶装置を提供することを目的とする。

#### 【0005】

##### 【課題を解決するための手段】

上記課題を解決するため、この発明は以下の構成を有する。

即ち、この発明に係る記憶装置は、第1のデータが共通に与えられ、前記第1のデータ所定個数分のデータ幅に対応して設けられた複数の記憶領域を有する記憶手段と、前記第1のデータの連続数を表す第2のデータを入力し、該第2のデータに基づき、前記複数の記憶領域の中から前記第1のデータが記憶されるべき1又は2以上の記憶領域を同時的に選択する記憶領域選択手段と、を備えたことを特徴とする。

この構成によれば、複数の記憶領域のうち、同値の複数の第1のデータが記憶されるべき記憶領域が並列的に選択される。これにより、同値の複数の第1のデータがパラレルデータに展開されて1回の書き込み動作でメモリアレイ80に記

憶され、従って書き込み動作が高速化される。

【0006】

上記記憶装置において、例えば、前記記憶領域選択手段が、前記第1のデータを記憶すべき領域の始点を与える第1のアドレスを格納する第1のレジスタと、前記第1のレジスタに格納された第1のアドレスに前記第2のデータの値を加算する加算器と、前記第1のデータを記憶すべき領域の終点を与える第2のアドレスとして前記加算器の加算結果を格納すると共に該加算結果を前記第1のレジスタに与える第2のレジスタと、前記第1および第2のレジスタの内容に基づき前記複数の記憶領域を書き込み可能な状態に選択的に制御する制御部と、を備えたことを特徴とする。

また、例えば、前記制御部が、前記データ幅に対応した単位領域と前記第1および第2のアドレスとの関係に基づき、書き込み可能な状態に制御すべき記憶領域を選択することを特徴とする。

【0007】

また、例えば、前記制御部が、前記第1および第2のアドレスが、前記単位領域のうち、現在書き込みの対象となっている単位領域の内部を指定するものである場合、前記複数の記憶領域のうち、前記第1のアドレスから第2のアドレスまでの各アドレスで指定される記憶領域を同時的に選択することを特徴とする。

また、例えば、前記制御部が、前記第1のアドレスが、前記単位領域のうちの現在書き込みの対象となっている単位領域の内部を指定するものであり、且つ、前記第2のアドレスが、前記現在書き込みの対象となっている単位領域の外部を指定するものである場合、前記複数の記憶領域のうち、前記第1のアドレス以降の各アドレスで指定される記憶領域を同時的に選択することを特徴とする。

【0008】

また、例えば、前記制御部が、前記第1および第2のアドレスが、前記単位領域のうちの現在書き込みの対象となっている領域の外部を指定するものである場合、前記複数の記憶領域の全てを同時的に選択することを特徴とする。

また、例えば、前記制御部が、前記第1のアドレスが、前記単位領域のうちの現在書き込みの対象となっている単位領域の外部を指定するものであり、且つ、



前記第2のアドレスが、前記現在書き込みの対象となっている単位領域の内部を指定するものである場合、前記複数の記憶領域のうち、前記第2のアドレス以前の各アドレスで指定される記憶領域を同時的に選択することを特徴とする。

#### 【0009】

##### 【発明の実施の形態】

以下、この発明の実施形態に係る記憶装置を説明する。

図1に、この発明の実施形態に係る記憶装置の構成を示す。この記憶装置は、画像データであるシリアルデータDSを8個の画素データ(DP1~DP8)からなる所定データ幅の平行データDPに展開して記憶するものである。この実施形態では、入力されるシリアルデータDSは、予めランレングス符号化され、図2(a)に示すように、画素データDGと画素データの連続数(ランレングス)を表すランレングスデータRLとに変換されて外部から入力される。また、各画素データDGは、16ビットのデータであるものとする。

#### 【0010】

図1において、符号10は加算器、符号20, 30はレジスタ、符号40はコンパレータ、符号50はライトコントローラ、符号60はカウンタ、符号70はマルチプレクサ、符号80はメモリアレイを示す。このうち、加算器10、レジスタ20, 30、コンパレータ40、ライトコントローラ50、カウンタ60は、記憶領域選択手段として機能するものであり、上述のランレングスデータRLに基づき、複数のメモリブロック81~88の中から画素データが記憶されるべき1又は2以上のメモリブロックを同時的に選択する。また、メモリアレイ80は、平行データDPのデータ幅に対応して設けられた8個のメモリブロック81~88を有する記憶手段であり、各メモリブロックには画素データDGが共通に与えられる。

#### 【0011】

図2(a)に、画素データDGとランレングスデータRLとの関係を示す。同図では、画素データDGの値「5」、「8」、「0」、「4」、「2」、「0」、「1」、「2」に対して、ランレングスデータRLの値「1」、「1」、「8」、「1」、「1」、「2」、「1」、「1」がそれぞれ対応している。この例

でによれば、ランレングス符号化前のシリアルデータは、例えば画素データ「5」、「8」がそれぞれ1個発生した後に、画素データ「0」が8個連続したものであることを表している。このランレングス符号化により、シリアルデータDSに含まれる連続した同値の画素データが1個の画素データDGに置き換えられ、これによりデータ量を削減している。

#### 【0012】

説明を図1に戻す。上述のランレングスデータRLは加算器10の一方の入力部に与えられ、この加算器10の他方の入力部には後述のレジスタ30の出力信号であるアドレスADSが与えられる。加算器10の出力信号はレジスタ20に与えられ、このレジスタ20の出力信号であるアドレス信号ADEはコンパレータ40とレジスタ30に与えられ、このアドレス信号ADEの下位3ビットからなるアドレスADELはライトコントローラ50に与えられる。レジスタ30の出力信号であるアドレス信号ADSは、上述の加算器10とコンパレータ40とカウンタ60とに与えられ、このアドレス信号ADSの下位3ビットからなるアドレスADSLはライトコントローラ50に与えられる。図2(b)に示すように、アドレスADE、ADSのそれぞれは、「A0」～「A12」の13ビットから構成され、そのうち、下位3ビットの「A0」～「A2」には8つのメモリブロック81～88のいずれかに対応したデータが現れる。

#### 【0013】

カウンタ60の出力信号であるアドレスADCはコンパレータ40とマルチプレクサ70の一方の入力部に与えられ、このマルチプレクサ70の他方の入力部にはリード用のアドレスADDRが与えられる。マルチプレクサ70の出力信号であるアドレスADはメモリアレイ80を構成するメモリブロック81～88に共通に与えられる。コンパレータ40の出力信号Jはライトコントローラ50に与えられ、このライトコントローラ50の出力信号であるライトコントロール信号SWEはメモリアレイ80に与えられる。また、ライトコントローラ50から上述のカウンタ60にはカウントアップ用のトリガー信号Tが与えられる。

#### 【0014】

メモリアレイ80を構成する各メモリブロックは、n個（nは任意の自然数）



分の画素データの記憶領域を有している。この実施形態では、1つの画素データの記憶領域を「セル」と定義する。1個のセルは1つの画素データ（16ビット）を記憶する。図3に示す例では、1個のメモリブロック81は、 $n$ 個のセル $M(1, 1) \sim M(1, n)$ から構成される。同様に他のメモリブロック82～88についても $n$ 個のセルから構成され、メモリアレイ80の全体では、セル $M(1, 1) \sim M(8, n)$ が8行 $n$ 列のマトリックス状に配列されている。これら8個のメモリブロック81～88は、パラレルデータDPのデータ幅、即ち1つのパラレルデータに含まれる画素データに対応して設けられたものである。

#### 【0015】

また、8行 $\times$  $n$ 列のマトリックス状に配列されたセル $M(1, 1) \sim M(8, n)$ には、列方向に歩進するアドレスが割り付けられており、また全列にわたってアドレスが連続したものとなっている。即ち、図3において、第1列目のセル $M(1, 1)$ には先頭アドレスが割り付けられており、以下、第1列目のセル $M(2, 1)$ 、 $M(3, 1)$ 、 $M(4, 1)$ 、…、 $M(8, 1)$ に対して「1」ずつ歩進するアドレスが割り付けられている。また、第2列目の先頭のセル $M(1, 2)$ には、第1列目の最後のセル $M(8, 1)$ のアドレスに連続するアドレスが割り付けられている。以下同様に、第3列目から第 $n$ 列目の各セルには歩進したアドレスが割り付けられ、全列を通してアドレスが連続したものとなっている。

#### 【0016】

以下、この実施形態に係る記憶装置の動作を説明する。

先ず、図3を参照して、シリアルデータDSの各画像データとメモリアレイ80内の記憶場所との対応関係を説明しておく。図3は、シリアルデータDSの各画素データとメモリアレイ80の記憶場所との対応関係を示している。この例に示すように、シリアルデータDSは、メモリブロック81～88の個数に対応した数の画素データを単位として、メモリアレイ80の各列を構成するセル群に記憶される。例えば、図3において、シリアルデータDS内のデータ列DS $m$ を構成する画素データの値「5」、「8」、「0」、「0」、「0」、「0」、「0」、「0」は、それぞれ、セル $M(1, 1)$ 、 $M(2, 1)$ 、 $M(3, 1)$ 、 $M(4, 1)$ 、 $M(5, 1)$ 、 $M(6, 1)$ 、 $M(7, 1)$ 、 $M(8, 1)$ に記憶

される。即ち、データ列  $DS_m$  はパラレルデータに展開されてメモリアレイ 80 の第 1 列目に記憶される。

#### 【0017】

また、データ列  $DS_m$  に続くデータ列  $DS_{m+1}$  を構成する画素データの値「0」、「0」、「4」、「2」、「0」、「0」、「1」、「2」は、それぞれ、セル  $M(1, 2)$ 、 $M(2, 2)$ 、 $M(3, 2)$ 、 $M(4, 2)$ 、 $M(5, 2)$ 、 $M(6, 2)$ 、 $M(7, 2)$ 、 $M(8, 2)$  に記憶される。即ち、データ列  $DS_{m+1}$  は同様にパラレルデータに展開されてメモリアレイ 80 の第 2 列目に記憶される。以下同様に、データ列  $DS_{m+1}$  に続くデータ列を構成する各画素データはメモリアレイ 80 の第 3 列目以降に順次記憶される。このように、メモリアレイ 80 の各列を構成するセル群は、パラレルデータ  $PD$  を記憶するためのデータ幅に対応した単位となる領域を構成し、シリアルデータ  $DS$  は 8 つの画素データからなるパラレルデータに展開されて 1 つの列に記憶される。

#### 【0018】

次に、図 1 に示す記憶装置の動作について、上述の図 3 に示すデータ列  $DS_m$  がメモリアレイ 80 の第 1 列目に記憶されるまでの動作を例として説明する。

先ず、図 1 に示す記憶装置の動作を概略的に説明しておく。この記憶装置は、連続する同値の画像データを一括して複数のメモリブロックに書き込む。このとき、一括して同値が書き込まれる複数のメモリブロックは、レジスタ 20、30 に格納されるアドレスにより指定され、ライトコントローラ 50 により、該当する複数のメモリブロックを書き込み可能な状態に同時的に制御する。即ち、レジスタ 30 には、画素データを記憶すべき領域の始点である最初のメモリセルを指定するアドレスが格納される。また、レジスタ 20 には、画素データを記憶すべき領域の終点である最後のメモリセルを指定するアドレスが格納される。これらのレジスタに格納された各アドレスで指定される範囲内に存在する全てのメモリセルが一括して書き込み可能な状態に制御される。また、同値の画像データが複数の列に亘って記憶される場合には、カウンタ 60 が出力するアドレス  $ADC$  を歩進させることにより、書き込み対象の列を切り替えている。

#### 【0019】



続いて、各部の動作を詳細に説明する。初期状態では、図1に示すレジスタ20、30はリセットされており、これらのレジスタからそれぞれ出力されるアドレスADE、ADSの全ビットが「0」となっている。また、カウンタ60もリセットされた状態にあり、その出力信号であるアドレスADCの全ビットも「0」となっている。また、マルチプレクサ70は、書き込み動作時には、カウンタ60から出力されるアドレスADCを選択し、読み出し動作時には、外部から与えられるアドレスADDRを選択する。ここでは、主として書き込み動作を説明するので、マルチプレクサ70はアドレスADCを選択しているものとする。さらに、ライトコントローラ50から出力されるライトコントロール信号SWEは非活性状態とされ、これを入力するメモリアレイ80を構成するメモリブロック81～88の全ては、データの書き込みを受け付けない状態となっている。


#### 【0020】

この初期状態から、CPU等の外部装置が、画素データDGとして、図2(a)に示す画素データDGの先頭の画素データ「5」を、図1に示すメモリアレイ80のメモリブロック81～88に共通に与える。この段階では、メモリブロック81～88は何れも書き込みを受け付けない状態にあるので、画素データ「5」は未だ何れのメモリブロックにも書き込まれない。

一方、メモリアレイ80に与えられている画素データ「5」の連続数を表すデータ「1」がランレンジスデータRLとして加算器10に与えられると、加算器10は、ランレンジスデータRLの値「1」を、レジスタ30に格納されたアドレスADSの値に加算し、その加算結果をレジスタ20に出力する。

#### 【0021】

コンパレータ40は、アドレスADSと、このアドレスADSよりも「1」だけ大きいアドレスADEとを比較し、その比較結果を表す信号Jをライトコントローラ50に出力する。この信号Jを受けて、ライトコントローラ50は、アドレスADEとアドレスADSとの差分が「1」の場合には、ライトコントロール信号SWEにより、メモリブロック81～88のうち、アドレスADSの下位3ビットからなるアドレスADSLで指定されるメモリブロック81のみを書き込み可能な状態に制御する。これにより、画素データ「5」がメモリブロック81



に書き込まれる。

この後、レジスタ 20 の値がレジスタ 30 に書き込まれ、それまで最後のメモリブロックを指定していたアドレス ADE の値「1」が新たに最初のメモリブロックを指定するアドレス ADS の値とされる。

#### 【0022】


続いて、外部装置が、画素データ「8」を供給し、その連続数を表すデータ「1」をランレングスデータ RL として供給する。この場合、レジスタ 30 から出力されるアドレス ADS の値は「1」であるから、これにランレングスデータ RL の値「1」を加算し、値「2」をレジスタ 20 に出力する。この場合も、コンパレータ 40 は、アドレス ADE とアドレス ADS との差分が「1」である旨の信号 J をライトコントローラ 50 に出力し、これを受けて、ライトコントローラ 50 は、アドレス ADS の下位 3 ビットからなるアドレス ADSL で指定されるメモリブロック 82 のみを書き込み可能な状態に制御する。これにより、画素データ「8」がメモリブロック 82 に書き込まれる。

この後、レジスタ 20 の値がレジスタ 30 に書き込まれ、それまで最後のメモリブロックを指定していたアドレス ADE の値「2」が新たに最初のメモリブロックを指定するアドレス ADS の値とされる。

#### 【0023】

続いて、外部の装置が、画素データ「0」を供給し、その連続数を表すデータ「8」をランレングスデータ RL として供給する。この場合、レジスタ 30 から出力されるアドレス ADS の値は「2」であるから、これにランレングスデータ RL の値「8」を加算し、値「10」をレジスタ 20 に出力する。アドレス ADS の値「2」とアドレス ADE の値「10」がコンパレータ 40 に出力される。このように、アドレス ADS の値「2」とアドレス ADE の値「10」との差分が値「1」よりも大きな値「8」である場合、コンパレータ 40 は、パラレルデータを記憶するための単位となる領域（列）と、アドレス ADS およびアドレス ADE との関係に基づき、書き込み可能な状態に制御すべきメモリブロックを選択する。

#### 【0024】



ここで、図4を参照して、コンパレータ40がメモリブロックを判定する原理を説明する。同図(a)は、アドレスADSとアドレスADEとが現在書き込みの対象となっている列C1の内部のセルを指定するものである場合に選択すべきメモリブロックの範囲を示す。この場合、アドレスADSで示されるメモリブロックからアドレスADEで示されるメモリブロックまでが同時的に選択される。同図(b)は、アドレスADSが現在書き込みの対象となっている列C1の内部のセルを指定するものであり、且つアドレスADEが列C1の外部の列C2に存在するセルを指定するものである場合に選択すべきメモリブロックの範囲を示す。この場合、アドレスADS以降の各アドレスで指定されるメモリブロック、即ちアドレスADSで示される列C1の内部のメモリブロックから、この列C1の最後のメモリブロックまでが同時的に選択される。

#### 【0025】

同図(c)は、アドレスADSが現在書き込みの対象となっている列C1の外部の列C0に存在するセルを指定するものであり、且つアドレスADEも列C1の外部の列C2に存在するセルを指定するものである場合に選択すべきメモリブロックの範囲を示す。この場合、列C1に存在する複数のメモリブロック81～88の全てが同時的に選択される。同図(d)は、アドレスADSが現在書き込みの対象となっている列C1の外部の列C0に存在するセルを指定するものであり、且つアドレスADEが列C1の内部のセルを指定するものである場合に選択すべきメモリブロックの範囲を示す。この場合、アドレスADE以前の各アドレスで指定されるメモリブロック、即ち列C1の先頭のメモリブロックからアドレスADEで示されるメモリブロックまでが同時的に選択される。

#### 【0026】

説明を図1に戻す。コンパレータ40は、アドレスADEの値「10」とアドレスADSの値「2」とから、図4(b)に示すように、アドレスADSが現在書き込みの対象となっている列C1のセルを指定するものであり、且つアドレスADEが列Cの外の列C2に存在するセルを指定するものであると判断し、この判断結果をライトコントローラ50に出力する。これを受けて、ライトコントローラ50は、アドレスADSの下位3ビットからなるアドレスADSLに基づき



、現在書き込みの対象となっている列 C 1 について、同値を書き込むべき先頭のメモリアレイ 8 3 から最後のメモリブロック 8 8 を書き込み可能な状態に制御する。これにより、メモリブロック 8 3 ～ 8 8 に画素データ「0」が一括して書き込まれ、書き込み動作が高速化される。

#### 【0 0 2 7】

続いて、ライトコントローラ 5 0 は、トリガー信号 T をカウンタ 6 0 に出力し、このカウンタ 6 0 の出力信号であるアドレス ADC を「1」だけインクリメントする。これにより、第 2 列目の列 C 2 が書き込みの対象とされる。この場合、図 4 (d) に示すように、アドレス ADS は、新たに書き込みの対象となった列 C 2 の外の列 C 1 に存在するセルを指定するものとなり、且つアドレス ADE が列 C 2 のセルを指定するものとなるから、コンパレータ 4 0 は、列 C 2 の先頭のメモリブロックからアドレス ADE の下位 3 ビットからなるアドレス ADEL で指定されるメモリブロック 8 2 までを書き込み可能な状態に制御し、これらメモリブロック 8 1、8 2 に画素データ「0」を一括して書き込む。以下、同様にして画素データ「4」等を順次書き込む。以上により、画素データ DG がパラレルデータに展開されてメモリアレイ 8 0 に記憶される。

#### 【0 0 2 8】

上述のようにしてメモリアレイ 8 0 に書き込まれた画素データは、列毎に読み出される。この場合、マルチプレクサ 7 0 はアドレス ADDR を選択してアドレス AD としてメモリアレイ 8 0 に出力する。このアドレス AD (ADDR) によりメモリアレイ 8 0 の列が択一的に選択され、この列に記憶された画素データ DP 1 ～ DP 8 が並列に読み出される。

以上、この発明の実施形態について詳述したが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。例えば、上述の実施形態では画像データからなるシリアルデータを例としたが、これに限らず、ランレングス符号化されたデータであればどのようなシリアルデータであってもよい。

#### 【0 0 2 9】

#### 【発明の効果】





以上説明したように、この発明によれば、シリアルデータに含まれる第 1 のデータの連続数を表す第 2 のデータを入力し、該第 2 のデータに基づき複数の記憶領域を選択するようにしたので、ランレングス符号化されたシリアルデータの書き込み動作を高速化することが可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態に係る記憶装置の構成を示すブロック図である。

【図 2】 この発明の実施の形態に係る記憶装置のデータおよびアドレス構成を説明するための図である。

【図 3】 この発明の実施の形態に係る記憶装置のシリアルデータと記憶場所との関係を説明するための説明図である。

【図 4】 この発明の実施の形態に係る記憶装置の動作を説明するための説明図である。

【符号の説明】

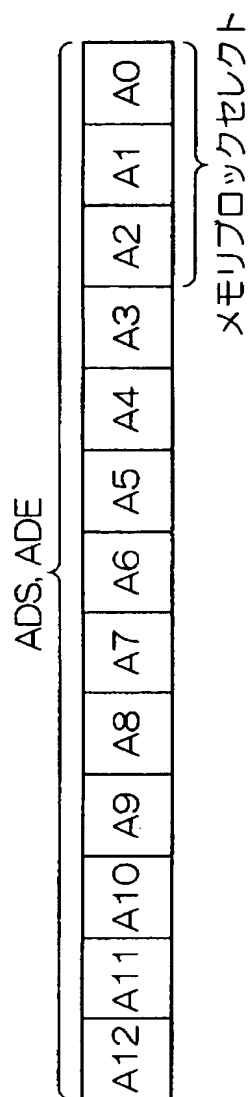
1 0 ; 加算器、2 0 , 3 0 ; レジスタ、4 0 ; コンパレータ、5 0 ; ライトコントローラ、6 0 ; カウンタ、7 0 ; マルチプレクサ、8 0 ; メモリアレイ、8 1 ~ 8 8 ; メモリブロック。



【図 2】

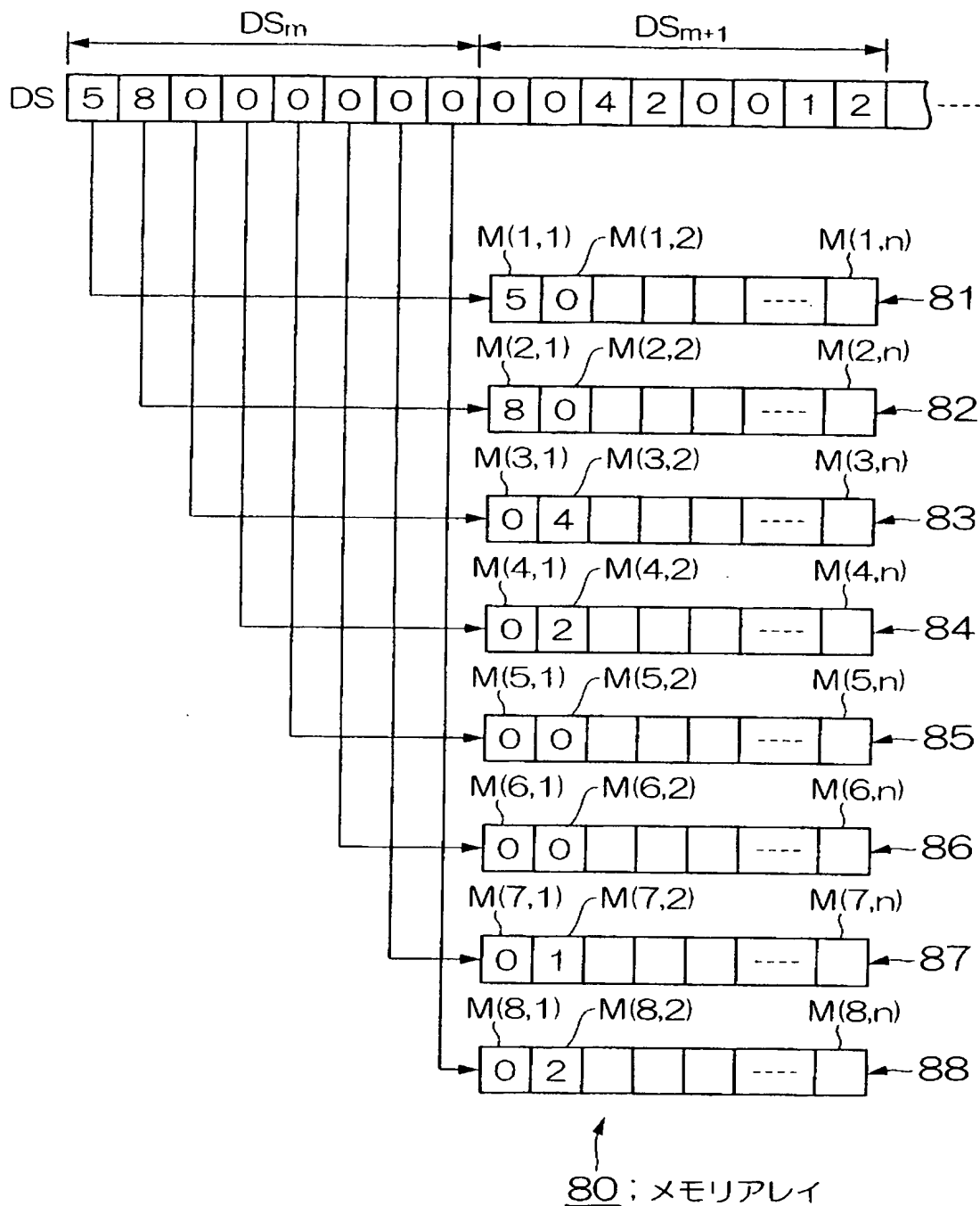
画素データDG	5	8	0	4	2	0	1	2	----
ランニングスタデータRL	1	1	8	1	1	2	1	1	----

(a)

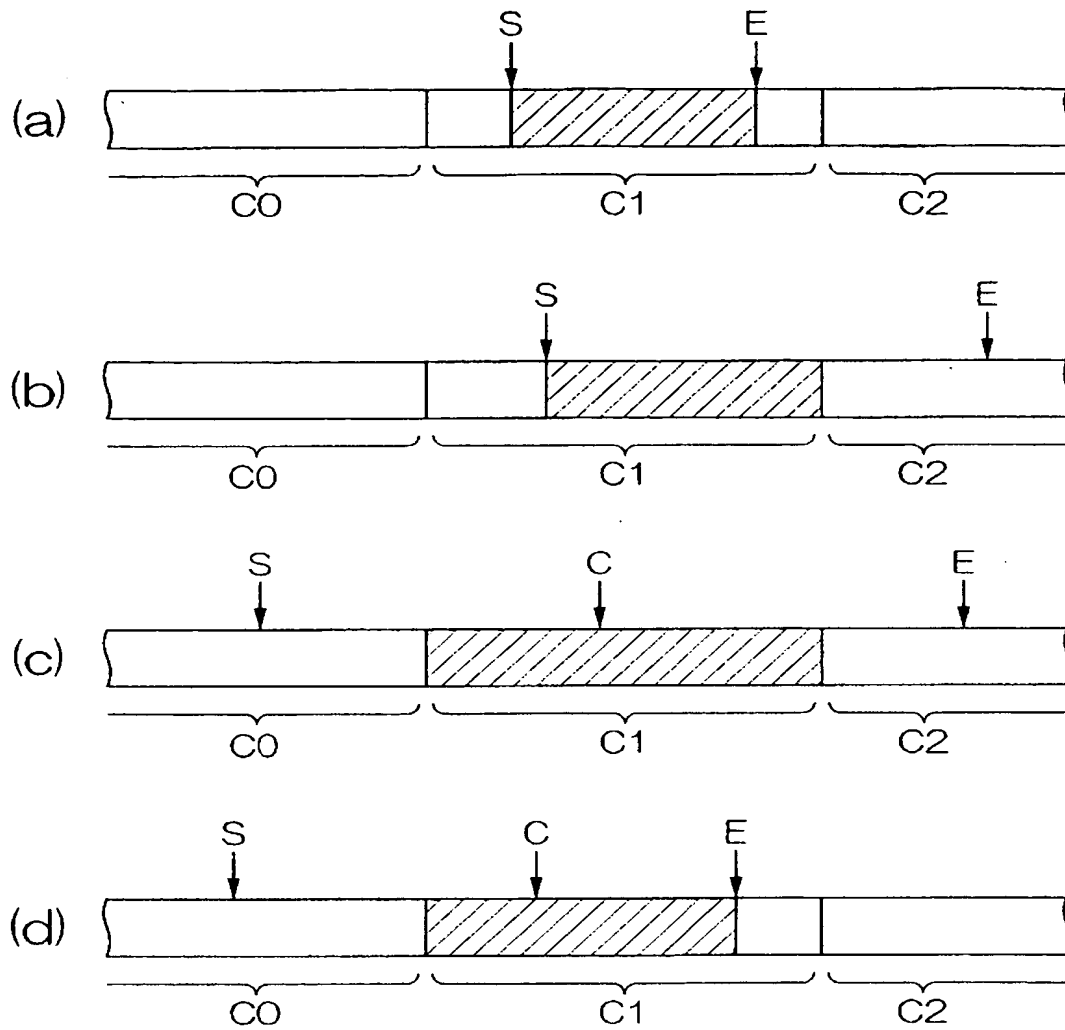


(b)

【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 ランレングス符号化されたシリアルデータの書き込み動作を高速化することが可能な記憶装置を提供すること。

【解決手段】 メモリアレイ（記憶手段）80は、パラレルデータDPのデータ幅に対応して設けられた複数のメモリブロック81～88（複数の記憶領域）を有する。これら複数のメモリブロック81～88には、画素データDGが共通に与えられ、この画素データDGが所定データ幅のパラレルデータDPに展開されて記憶される。このとき、画素データDG（第1のデータ）の連続数を表すランレングスデータ（第2のデータ）に基づきメモリブロック81～88の中から画素データが記憶されるべき1又は2以上のメモリブロックが同時的に選択される。

【選択図】 図1

特願 2 0 0 3 - 1 2 5 3 6 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 0 7 5 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	静岡県浜松市中沢町 1 0 番 1 号
氏 名	ヤマハ株式会社